

Docket No.: 60188-550

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Nobuaki TARUMI, et al.

Serial No.:

:
:
:
:
:
:
:

Group Art Unit:

Filed: July 07, 2003

Examiner:

For: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-216458, filed July 25, 2002,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:km
Facsimile: (202) 756-8087
Date: July 7, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

60188-550
Nobuaki Takumi, et al.
July 7, 2003
McDermott, Will & Emery,

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 7月25日

出 願 番 号
Application Number:

特願2002-216458

[ST.10/C]:

[JP 2002-216458]

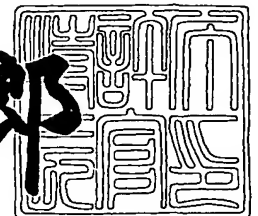
出 願 人
Applicant(s):

松下電器産業株式会社

2003年 3月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3021629

【書類名】 特許願

【整理番号】 2926430313

【提出日】 平成14年 7月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/28

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 垂水 喜明

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 池田 敦

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 岸田 剛信

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 基板の上に接続孔を有する絶縁膜を形成する第 1 の工程と、
前記接続孔の壁面及び底面上を含む前記絶縁膜の上に、導電性を有する下地層
を形成する第 2 の工程と、

前記下地層に対してスパッタエッチを行なうことにより、前記接続孔の底面上
に堆積した下地層の少なくとも一部を前記接続孔の壁面の下部に堆積する第 3 の
工程と、

めっき法により、前記下地層の上に金属層を形成する第 4 の工程とを備えてい
ることを特徴とする半導体装置の製造方法。

【請求項 2】 前記下地層は金属からなるめっきシード層であり、
前記めっきシード層及び金属層は銅を主成分とすることを特徴とする請求項 1
に記載の半導体装置の製造方法。

【請求項 3】 前記下地層は、前記金属層を構成する原子の前記絶縁膜への
拡散を防止するバリア層であり、

前記第 3 の工程と前記第 4 の工程との間に、

前記接続孔の壁面及び底面上を含む前記バリア層の上に、金属からなるめっき
シード層を形成する第 5 の工程をさらに備えていることを特徴とする請求項 1 に
記載の半導体装置の製造方法。

【請求項 4】 前記第 5 の工程と前記第 4 の工程との間に、

前記めっきシード層に対してスパッタエッチを行なうことにより、前記接続孔
の底面上に堆積しためっきシード層の少なくとも一部を前記接続孔の壁面の下部
に堆積する第 6 の工程とをさらに備えていることを特徴とする請求項 3 に記載の
半導体装置の製造方法。

【請求項 5】 前記めっきシード層及び金属層は銅を主成分とすることを特
徴とする請求項 3 又は 4 に記載の半導体装置の製造方法。

【請求項 6】 前記第 3 の工程は、前記接続孔の底面上に堆積した前記バリ
ア層が除去されるように行なうことを特徴とする請求項 3 に記載の半導体装置の

製造方法。

【請求項 7】 前記バリア層は、高融点金属又は該高融点金属の窒化物からなることを特徴とする請求項 3～6 のうちのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】 前記バリア層は、その下部が高融点金属の窒化物からなる下部バリア層と、その上部が高融点金属からなる上部バリア層とにより構成されており、

前記第 2 の工程及び第 3 の工程は、前記下部バリア層及び上部バリア層ごとに繰り返すことを特徴とする請求項 3～6 のうちのいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、金属配線を有する半導体装置の製造方法に関し、特にデュアルダマシン法による金属配線を有する半導体装置の製造方法に関する。

【 0 0 0 2 】

【従来の技術】

近年、半導体装置はその高集積化を実現するため、配線の微細化及び多層化が進展している。

【 0 0 0 3 】

以下、従来の半導体装置における多層化されたメタル配線の形成方法について図面を参照しながら説明する。

【 0 0 0 4 】

図 7 (a)～図 7 (c)、図 8 (a) 及び図 8 (b) は従来の半導体装置の製造方法であって、多層配線におけるヴィアホールを含む部分の工程順の断面構成を示している。

【 0 0 0 5 】

まず、図 7 (a) に示すように、半導体基板（図示せず）の上に、酸化シリコン等からなる第 1 の絶縁膜 1 0 1 及び第 2 の絶縁膜 1 0 2 を順次堆積する。続い

て、第2の絶縁膜102の所定の領域に下部配線形成溝を形成し、形成した下部配線形成溝に、窒化タンタルからなる第1のバリア膜103及びタンタルからなる第2のバリア膜104を介在させ、銅からなる下部配線105を充填するように形成する。その後、窒化シリコンからなる第3の絶縁膜106、酸化シリコンからなる第4の絶縁膜107及び第5の絶縁膜108を順次堆積する。続いて、第5の絶縁膜108における下部配線105の上側の領域に上部配線形成溝108aを形成する。続いて、第3の絶縁膜106及び第4の絶縁膜107における上部配線形成溝108aの下側の領域に、下部配線105を露出するビアホール107aを選択的に形成する。

【0006】

次に、図7(b)に示すように、スパッタ法等により、第5の絶縁膜108の上に、ビアホール107a及び上部配線形成溝108aの底面及び壁面を含む全面にわたって、窒化タンタルからなる第1のバリア膜109及びタンタルからなる第2のバリア膜110を順次堆積する。

【0007】

次に、図7(c)に示すように、スパッタ法等により、第2のバリア膜110の上に、ビアホール107a及び上部配線形成溝108aの底面及び壁面を含む全面にわたって、銅からなるめっきシード層111を堆積し、その後、図8(a)に示すように、電解めっき法により、ビアホール107a及び上部配線形成溝108aに銅からなる上部配線形成層112Aを埋め込む。

【0008】

次に、図8(b)に示すように、第5の絶縁膜108上に堆積した上部配線形成層112Aを化学機械的研磨法等により除去し、且つその上面を平坦化して、上部配線形成層112Aから上部配線112B及びビア112Cを形成する。その後、平坦化された第5の絶縁膜108及び上部配線112Bの上に第6の絶縁膜113を堆積する。

【0009】

【発明が解決しようとする課題】

しかしながら、前記従来の半導体装置の製造方法は、配線の微細化が一層進展

すると、めっき法による上部配線形成層 112A をビアホール 107a に埋め込むことが困難となるという問題がある。

【0010】

すなわち、配線の微細化に伴って、ビアホール 107a のアスペクト比（＝深さと開口径との比）が大きくなるため、ビアホール 107a に対して、第 1 のバリア膜 109、第 2 のバリア膜 110 及びめっきシード層 111 を堆積する際のそれぞれのスパッタ原子に、より一層の直進性（異方性）が要求される。

【0011】

一方、スパッタ原子の直進性が増大すると、図 9（a）のスパッタリング工程に示すように、ビアホール 107a の壁面の下部には、第 1 のバリア膜 109、第 2 のバリア膜 110 及びめっきシード層 111 のいずれもが十分に堆積されず薄膜化してしまい、とりわけ、第 1 のバリア膜 109 及び第 2 のバリア膜 110 の膜厚が小さい場合には、めっきシード層 111 を構成する銅原子が凝集してしまい、一様な膜が形成されずに不連続となる。その結果、図 9（b）のめっき工程に示すように、上部配線形成層 112A が、ビアホール 107a に充填されず、ボイド又はシーム 107b と呼ばれる空洞状の欠陥が生じる。

【0012】

このように、上部配線形成層 112A がビアホール 107a に確実に埋め込まれない場合には、ビア 112C や配線 105、112B の抵抗が上昇したり、エレクトロマイグレーション又はストレスマイグレーション等が発生して多層配線の信頼性が大きく低下したりする。

【0013】

そこで、第 1 のバリア膜 109、第 2 のバリア膜 110 及びめっきシード層 111 の各膜厚を大きくすると、今度は、図 10（a）のスパッタリング工程に示すように、ビアホール 107a の開口部の上端に形成されるオーバーハング状部分 111a が大きくなる。その結果、図 10（b）のめっき工程において、ビアホール 107a の内部のほぼ全体がシーム 107c となってしまう。

【0014】

本発明は、前記従来の問題を解決し、微細化された配線形成溝及びビアホー

ルに対して、ボイドやシームが発生しない、埋め込み特性に優れた金属配線を実現できるようにすることを目的とする。

【 0 0 1 5 】

【課題を解決するための手段】

前記の目的を達成するため、本発明は、半導体装置の製造方法を、スパッタリングにより成膜された下地層における接続孔の底面上の堆積部分に対してその少なくとも一部を接続孔の壁面の下部に堆積する構成とする。

【 0 0 1 6 】

具体的に、本発明に係る半導体装置の製造方法は、基板の上に接続孔を有する絶縁膜を形成する第1の工程と、接続孔の壁面及び底面上を含む絶縁膜の上に、導電性を有する下地層を形成する第2の工程と、下地層に対してスパッタエッチを行なうことにより、接続孔の底面上に堆積した下地層の少なくとも一部を接続孔の壁面の下部に堆積する第3の工程と、めっき法により、下地層の上に金属層を形成する第4の工程とを備えている。

【 0 0 1 7 】

本発明の半導体装置の製造方法によると、下地層に対してスパッタエッチを行なうことにより、絶縁膜に設けた接続孔の底面上に堆積した下地層の少なくとも一部を接続孔の壁面の下部に堆積するため、接続孔の壁面の下部に堆積する下地層の膜厚が大きくなるので、接続孔の壁面下部においても下地層が連続して堆積するようになる。その結果、接続孔の壁面下部において下地層のカバレッジが向上するため、接続孔の底部の隅に生じやすい段切れ（膜破れ）を防止することができる。

【 0 0 1 8 】

その上、下地層を堆積した後に、堆積した下地層に対してスパッタエッチを行なうため、接続孔の開口部の上端に形成されるオーバーハング状部分を削減できるので、めっき法により接続孔に金属層を埋め込むのに十分な開口面積を確保することができる。その結果、接続孔の内部に発生するボイドやシームを防止することができる、金属層の埋め込み特性を向上することができる。

【 0 0 1 9 】

また、下地層がバリア層である場合には、該バリア層はスパッタエッチによって接続孔の壁面の下部を覆う部分が厚くなり且つ一様に覆われるため、金属層を構成する原子、例えば銅原子の絶縁膜への界面拡散を抑えることができるので、エレクトロマイグレーション又はストレスマイグレーション等に対する耐性が向上する。

【 0 0 2 0 】

その上、下地層がバリア層である場合には、スパッタエッチによって下地層における接続孔の底面上部分が薄膜化されるため、接続孔に充填された金属層とその下側に形成された下部配線との間で金属原子の拡散が起こりやすくなる。その結果、接続孔の底部に発生するボイドを抑えることができるので、エレクトロマイグレーションに対する耐性が向上する。さらには、下地層が薄膜化されることにより、配線抵抗をも低減することができる。

【 0 0 2 1 】

本発明の半導体装置の製造方法において、下地層は金属からなるめっきシード層であり、めっきシード層及び金属層は銅を主成分とすることが好ましい。

【 0 0 2 2 】

本発明の半導体装置の製造方法において、下地層は金属層を構成する原子の絶縁膜への拡散を防止するバリア層であり、本発明の半導体装置の製造方法は、第3の工程と第4の工程との間に、接続孔の壁面及び底面上を含むバリア層の上に、金属からなるめっきシード層を形成する第5の工程をさらに備えていることが好ましい。

【 0 0 2 3 】

この場合に、第5の工程と第4の工程との間に、めっきシード層に対してスパッタエッチを行なうことにより、接続孔の底面上に堆積しためっきシード層の少なくとも一部を接続孔の壁面の下部に堆積する第6の工程とをさらに備えていることが好ましい。

【 0 0 2 4 】

下地層がバリア層である場合に、めっきシード層及び金属層は銅を主成分とすることが好ましい。

【0025】

下地層がバリア層である場合に、第3の工程は、接続孔の底面上に堆積したバリア層が除去されるように行なうことが好ましい。

【0026】

下地層がバリア層である場合に、バリア層は高融点金属又は該高融点金属の窒化物からなることが好ましい。

【0027】

また、この場合のバリア層は、その下部が高融点金属の窒化物からなる下部バリア層と、その上部が高融点金属からなる上部バリア層とにより構成されており、第2の工程及び第3の工程は、下部バリア層及び上部バリア層ごとに繰り返すことが好ましい。

【0028】

【発明の実施の形態】

本発明の一実施形態について図面を参照しながら説明する。

【0029】

図1(a)、図1(b)～図6(a)、図6(b)は本発明の一実施形態に係る半導体装置の製造方法であって、多層配線におけるヴィアホール（接続孔）を含む部分の工程順の断面構成を示している。

【0030】

まず、図1(a)に示すように、例えば、シリコン(Si)からなる半導体基板（図示せず）の上に、CVD法により、酸化シリコンにホウ素及びリンが添加されたBPSG(Boron Phosphorous Silicate Glass)からなる第1の絶縁膜11及び第2の絶縁膜12を順次堆積する。続いて、リソグラフィ法及びドライエッチング法により、第2の絶縁膜12の所定の領域に下部配線形成溝を形成する。その後、スパッタ法により、下部配線形成溝を含む第2の絶縁膜12の上に全面にわたって、窒化タンタル(TaN)からなる下部バリア層13及びタンタル(Ta)からなる上部バリア層14を堆積する。続いて、スパッタ法により、銅(Cu)又は銅を主成分とする合金からなるめっきシード層（図示せず）を上部バリア層14の上に堆積する。その後、電解めっき法により、銅又は銅合金から

なる金属層をめっきシード層の上に堆積する。続いて、化学機械的研磨（CMP）法により、第2の絶縁膜12の上に堆積した下部バリア層、上部バリア層及び金属層を除去することにより、下部配線形成溝に充填された金属層から下部配線15を形成する。

【0031】

その後、例えばCVD法により、窒化シリコン（ Si_3N_4 ）からなる第3の絶縁膜16、BPSGからなる第4の絶縁膜17及びBPSGからなる第5の絶縁膜18を順次堆積する。続いて、第5の絶縁膜18における下部配線15の上側の領域に上部配線形成溝18aを形成する。続いて、第3の絶縁膜16及び第4の絶縁膜17における上部配線形成溝18aの下側の領域に、下部配線15を露出するビアホール17aを選択的に形成する。その後、アルゴン（ Ar^+ ）ガスによるスパッタエッチを行なって、ビアホール17aから露出する下部配線15の表面に形成されている自然酸化膜である酸化銅等を除去する。

【0032】

このスパッタエッチにより、図1（b）に示すように、上部配線形成溝18a及びビアホール17aの各開口部の上端がそれぞれ丸められて広がるため、後工程のバリア層及びめっきシード層を堆積した後の開口面積も大きくなるので、めっき法による金属層の埋め込み特性が良好となる。

【0033】

次に、図2（a）に示すように、スパッタ法により、ビアホール17a及び上部配線形成溝18aの壁面及び底面上を含む第4の絶縁膜17の上に、厚さが約25nmの窒化タンタルからなる下部バリア層19を堆積する。このときのスパッタリングは、ターゲットに対して約10kWのDCソースパワーを印加して行なう。その後、DCソースパワーを約2kWにまで低減し、半導体基板（試料）に対して約200WのRFパワーを印加して、下部バリア層19に対して、アルゴンガスを用いた、エッチング量が5nm程度のスパッタエッチを行なうことにより、図2（b）に示すように、ビアホール17aの底面上に堆積した下部バリア層19の少なくとも一部をビアホール17aの壁面の下部に堆積させる。この窒化タンタルからなる下部バリア層19は、後工程で形成する上部配線及

びビアを構成する銅原子が、第4の絶縁膜17及び第5の絶縁膜18に拡散することを防止するために設けている。これにより、銅原子の拡散を防止する下部バリア層19は、ビアホール17aの少なくとも壁面の下部においてそのカバレッジが向上すると共に厚くなる。

【0034】

次に、図3(a)に示すように、スパッタ法により、ビアホール17a及び上部配線形成溝18aの壁面及び底面上を含む下部バリア層19の上に、厚さが約10nmの β -タンタル(β -Ta)からなる上部バリア層20を堆積する。このときのスパッタリングは、下部バリア層19と同様に、ターゲットに対して約10kWのDCソースパワーを印加して行なう。ここで、タンタルからなる上部バリア層20は、後工程で形成するめっきシード層の下地膜として設けている。この上部バリア層20により、めっきシード層と第4の絶縁膜17及び第5の絶縁膜18との間の密着性が向上する。なお、 β -タンタルは α -タンタルと比べて、銅(Cu)に対する密着性が優れることが分かっている。

【0035】

前述したように、半導体装置を微細化すると、ビアホール17aのアスペクト比が大きくなるため、下部バリア層19及び上部バリア層20に、ビアホール17aの壁面の下部にまで3nm~5nm程度の十分な厚さを得ようとする、第4の絶縁膜17及び第5の絶縁膜18の上面には各バリア層19、20を30nm~50nm程度にも厚く堆積する必要がある。その結果、図3(a)に示すように、ビアホール17aの開口部の上端にオーバハング状部分20aが形成されてしまい、ビアホール17aの開口面積が小さくなる。

【0036】

そこで、図3(b)に示す次工程において、DCソースパワーを約2kWとし、半導体基板に対して約200WのRFパワーを印加して、上部バリア層20に対して、アルゴンガスによるエッチング量が5nm程度のスパッタエッチを行なう。このスパッタエッチにより、図4(a)に示すように、ビアホール17aの底面上に堆積した上部バリア層20の少なくとも一部をビアホール17aの壁面の下部の下部バリア層19上に堆積させる。これにより、めっきシード層の

下地層である上部バリア層 20 は、ビアホール 17 a の少なくとも壁面の下部においてそのカバレッジが向上すると共に厚くなる。

【 0 0 3 7 】

このように、本実施形態によると、ビアホール 17 a の壁面下部における下部バリア層 19 及び上部バリア層 20 のカバレッジが、堆積後にそれぞれ行なう異方性のスパッタエッチによって向上するため、各バリア層 19、20 の最初の堆積膜厚を低減したとしても、下部バリア層 19 における銅原子に対するバリア性、及び上部バリア層 20 におけるめっきシード層に対する密着性が確保される。

【 0 0 3 8 】

その上、各バリア層 19、20 は堆積後のスパッタエッチによって、第 4 の絶縁膜 17 及び第 5 の絶縁膜 18 の上面に堆積した各バリア層 19、20 の膜厚をも減らすことができるため、開口部上端のオーバハング状部分が削減される。また同時に、各バリア層 19、20 におけるビアホール 17 a の底面上部分の膜厚をも減少するため、ビアによる配線抵抗が低減する。従って、各バリア層 19、20 に対するスパッタエッチは、各バリア層 19、20 におけるビアホール 17 a の底面上部分が除去される程度に行なうと、ビアによる配線抵抗をさらに低減することができる。

【 0 0 3 9 】

次に、図 4 (b) に示すように、ターゲットに対して約 30 kW の DC ソースパワーを印加するスパッタ法により、ビアホール 17 a 及び上部配線形成溝 18 a の壁面及び底面上を含む上部バリア層 20 の上に、厚さが約 100 nm の銅又は銅を主成分とする合金からなるめっきシード層 21 を堆積する。めっきシード層 21 においても、バリア層 19、20 と同様に、ビアホール 17 a の壁面の下部にまで 10 nm ~ 15 nm 程度の十分な厚さを得ようとする、第 5 の絶縁膜 18 の上にはめっきシード層 21 を 100 nm ~ 150 nm 程度にも厚く堆積する必要がある。その結果、図 4 (b) に示すように、ビアホール 17 a の開口部の上端にオーバハング状部分 21 a が形成されてしまい、ビアホール 1

7 a の開口面積が小さくなり、甚だしい場合には、この工程でシーム 1 7 b が形成されてしまう。また、めっきシード層 2 1 は、後工程のめっき工程における銅めっきの下地層であるため、該めっきシード層 2 1 が半導体基板上で途切れることなく連続的に形成される必要がある。従って、めっきシード層 2 1 が連続的に形成されていない場合には、めっき工程において、図 9 (b) に示したように、ビアホール 1 7 a の下部にボイド等が発生する。

【 0 0 4 0 】

そこで、図 5 (a) に示す次工程において、DC ソースパワーを約 2 kW とし、半導体基板に対して約 2 0 0 W の RF パワーを印加して、めっきシード層 2 1 に対して、アルゴンガスによるエッチング量が 5 0 nm 程度のスパッタエッチを行なう。このスパッタエッチにより、図 5 (b) に示すように、ビアホール 1 7 a の底面上に堆積しためっきシード層 2 1 の少なくとも一部をビアホール 1 7 a の壁面の下部の下部バリア層 1 9 上に堆積させる。これにより、めっきの下地層であるめっきシード層 2 1 は、ビアホール 1 7 a の少なくとも壁面の下部においてそのカバレッジが向上する。その上、めっきシード層 2 1 における第 4 の絶縁膜 1 7 及び第 5 の絶縁膜 1 8 上部分の膜厚も低減するため、ビアホール 1 7 a の開口部上端のオーバハング上部分 2 1 a の張り出し量も小さくなる。その結果、ビアホール 1 7 a には、後工程の銅めっきに必要な開口径を確保することができる。

【 0 0 4 1 】

次に、図 6 (a) に示すように、電解めっき法により、ビアホール 1 7 a 及び上部配線形成溝 1 8 a に、銅からなる上部配線形成層 2 2 A を埋め込む。

【 0 0 4 2 】

次に、図 6 (b) に示すように、第 5 の絶縁膜 1 8 上に堆積した上部配線形成層 2 2 A を、CMP 法等により除去し且つ上面を平坦化して、銅からなる上部配線形成層 2 2 A から上部配線 2 2 B 及びビア 2 2 C を形成する。

【 0 0 4 3 】

なお、本実施形態においては、第 4 の絶縁膜 1 7 及び第 5 の絶縁膜 1 8 とめっきシード層 2 1 との間の下部バリア層 1 9 及び上部バリア層 2 0 を、窒化タンタ

ル (TaN) とタンタル (Ta) との積層構造としたが、これに限られず、例えば、下部バリア層 19 を窒化タングステン (WN) とし、上部バリア層 20 をタングステン (W) としても良く、又は他の高融点金属又はその窒化物を用いてもよい。また、バリア層 19、20 は、必ずしも積層構造体とする必要はない。

【0044】

また、下部配線 15、上部配線 22B 及びビア 22C を構成する金属材料に銅を用いたが、これに限られず、アルミニウム (Al)、銀 (Ag) 等の金属又はそれらの合金を用いてもよい。

【0045】

また、下部バリア層 19 及び、上部バリア層 20 及びめっきシード層 21 の堆積にはスパッタ法を用いたが、これに限られず、CVD 法を用いてもよい。

【0046】

【発明の効果】

本発明に係る半導体装置の製造方法によると、接続孔の壁面の下部に堆積する下地層の膜厚を厚くすることができるため、接続孔の壁面下部においても下地層が連続して堆積するようになるので、接続孔の壁面下部において下地層のカバレッジが向上し、接続孔の底部の隅に生じやすい段切れを防止することができる。

【0047】

その上、接続孔の開口部の上端におけるオーバーハング状部分を削減できるため、めっき法により接続孔に金属層を埋め込むのに十分な開口面積を確保することができるので、接続孔の内部に発生するボイドやシームを防止することができる。従って、半導体装置の多層配線において、さらなる微細化を実現することができる。

【図面の簡単な説明】

【図1】

(a) 及び (b) は本発明の一実施形態に係る半導体装置の製造方法であって、多層配線におけるビアホールを含む部分を示す工程順の構成断面図である。

【図2】

(a) 及び (b) は本発明の一実施形態に係る半導体装置の製造方法であって

、多層配線におけるヴィアホールを含む部分を示す工程順の構成断面図である。

【図 3】

(a) 及び (b) は本発明の一実施形態に係る半導体装置の製造方法であって、多層配線におけるヴィアホールを含む部分を示す工程順の構成断面図である。

【図 4】

(a) 及び (b) は本発明の一実施形態に係る半導体装置の製造方法であって、多層配線におけるヴィアホールを含む部分を示す工程順の構成断面図である。

【図 5】

(a) 及び (b) は本発明の一実施形態に係る半導体装置の製造方法であって、多層配線におけるヴィアホールを含む部分を示す工程順の構成断面図である。

【図 6】

(a) 及び (b) は本発明の一実施形態に係る半導体装置の製造方法であって、多層配線におけるヴィアホールを含む部分を示す工程順の構成断面図である。

【図 7】

(a) 及び (b) は従来の半導体装置の製造方法であって、多層配線におけるヴィアホールを含む部分を示す工程順の構成断面図である。

【図 8】

(a) 及び (b) は従来の半導体装置の製造方法であって、多層配線におけるヴィアホールを含む部分を示す工程順の構成断面図である。

【図 9】

(a) 及び (b) は従来の半導体装置の製造方法における多層配線のヴィアホール部分で生じる不具合を示す工程順の構成断面図である。

【図 10】

(a) 及び (b) は従来の半導体装置の製造方法における多層配線のヴィアホール部分で生じる不具合を示す工程順の構成断面図である。

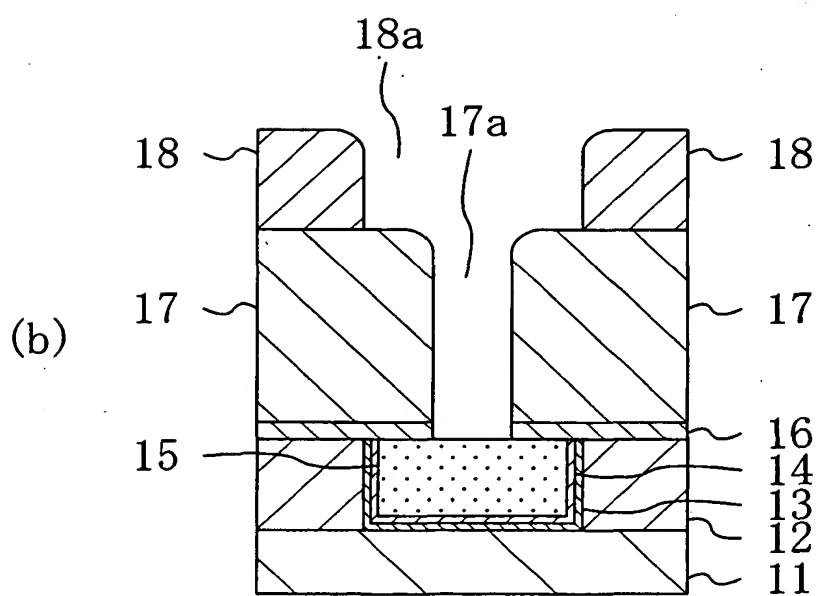
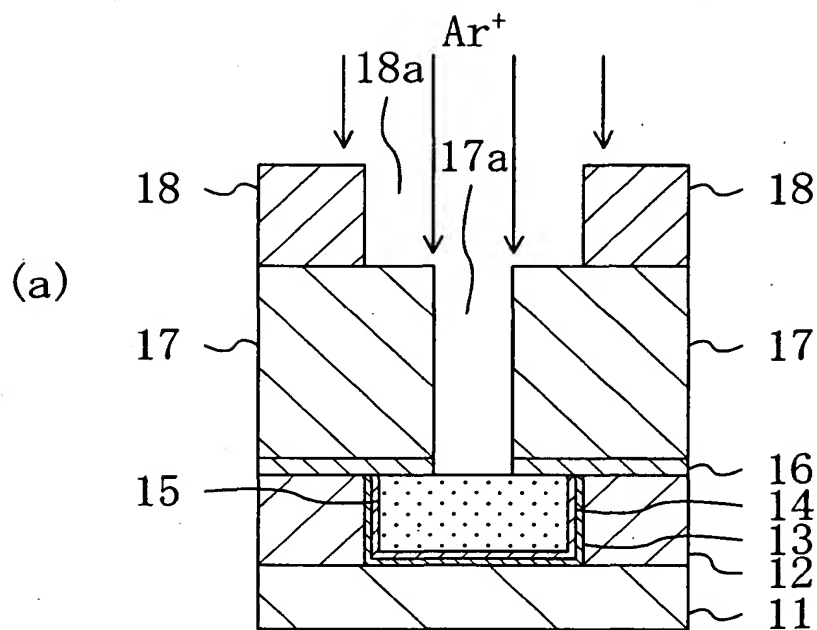
【符号の説明】

- 1 1 第 1 の絶縁膜
- 1 2 第 2 の絶縁膜
- 1 3 下部バリア層

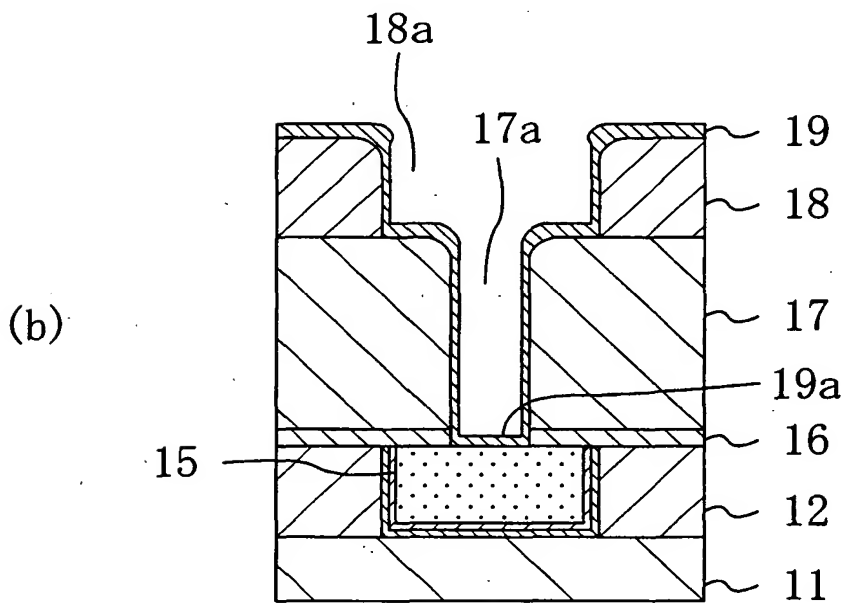
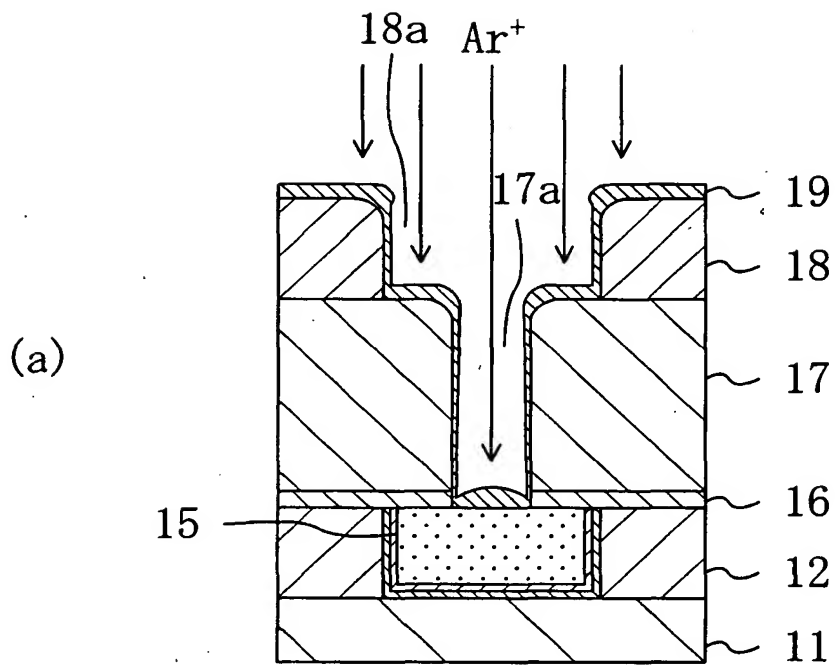
- 1 4 上部バリア層
- 1 5 下部配線
- 1 6 第 3 の絶縁膜
- 1 7 第 4 の絶縁膜
- 1 7 a ヴィアホール（接続孔）
- 1 8 第 5 の絶縁膜
- 1 8 a 上部配線形成溝
- 1 9 下部バリア層（下地層）
- 2 0 上部バリア層（下地層）
- 2 0 a オーバハング状部分
- 2 1 めっきシード層（下地層）
- 2 1 a オーバハング状部分
- 2 2 A 上部配線形成層
- 2 2 B 上部配線
- 2 2 C ヴィア

【書類名】 図面

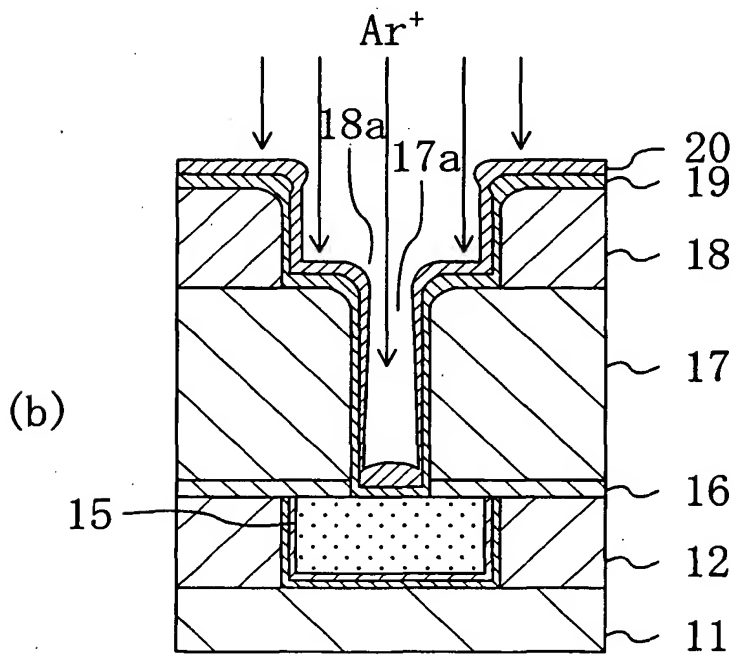
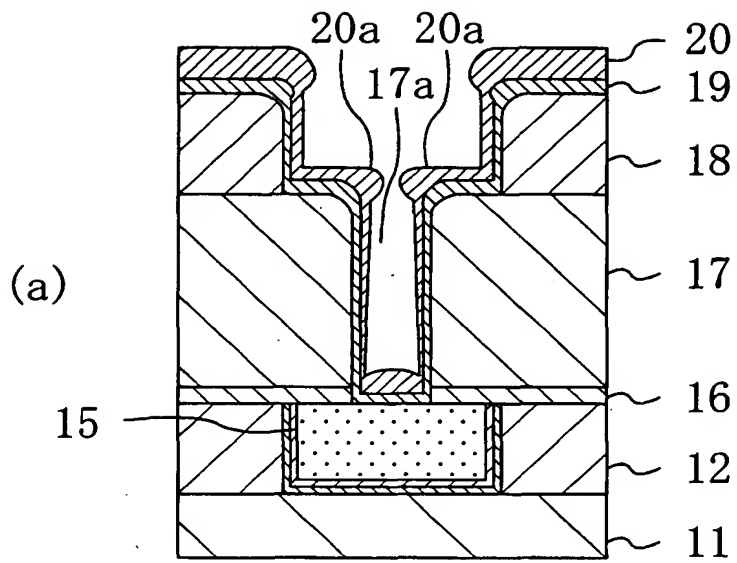
【図 1】



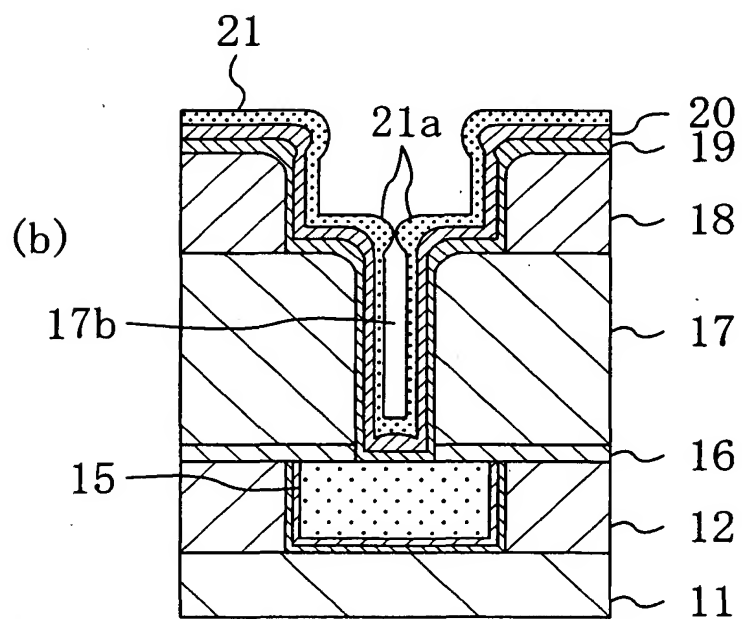
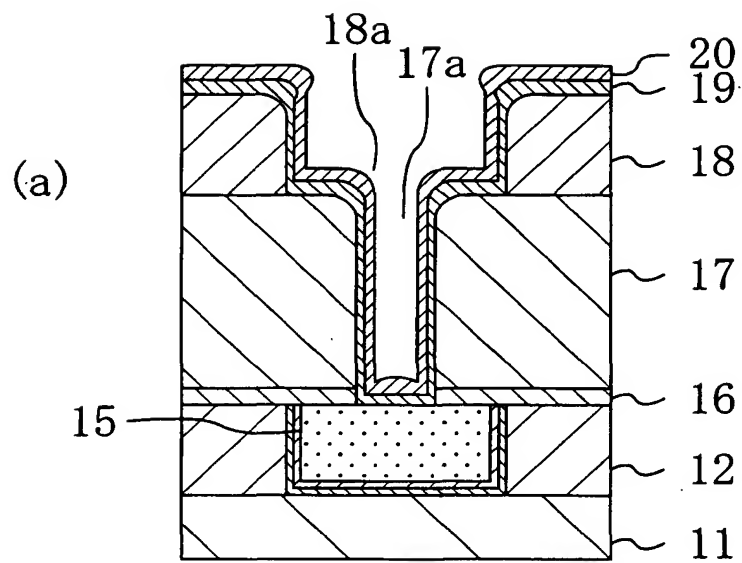
【図 2】



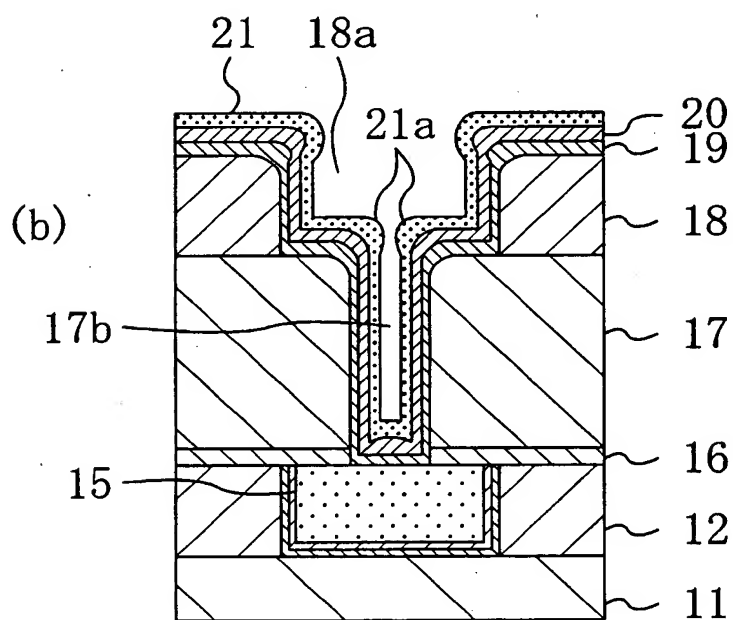
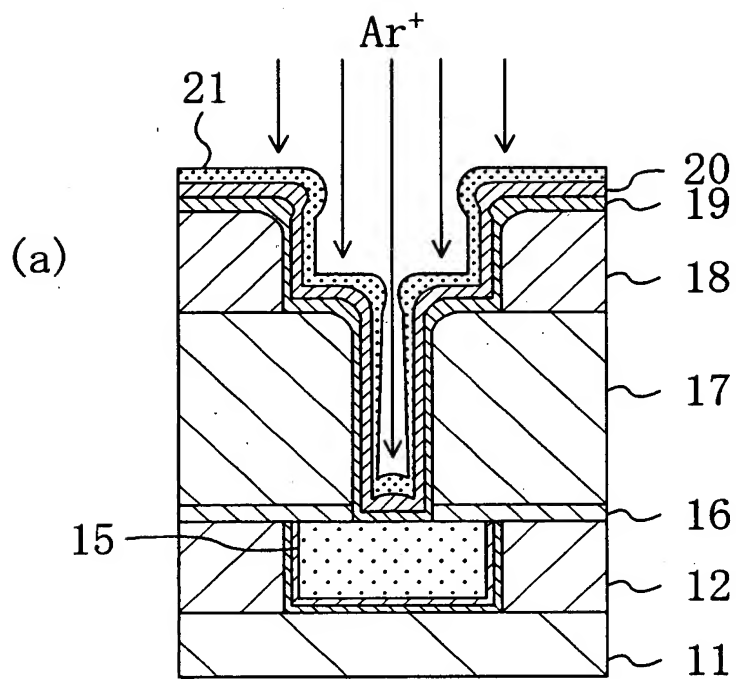
【図3】



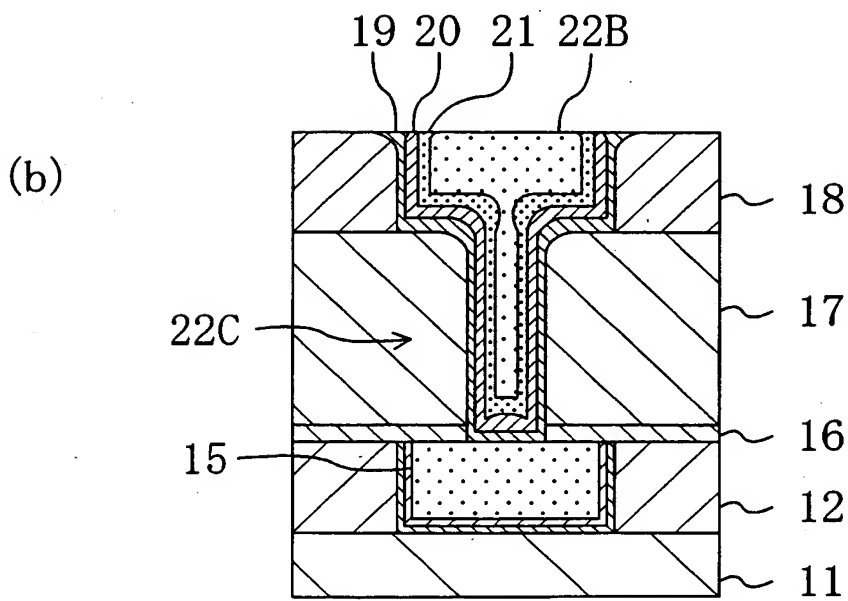
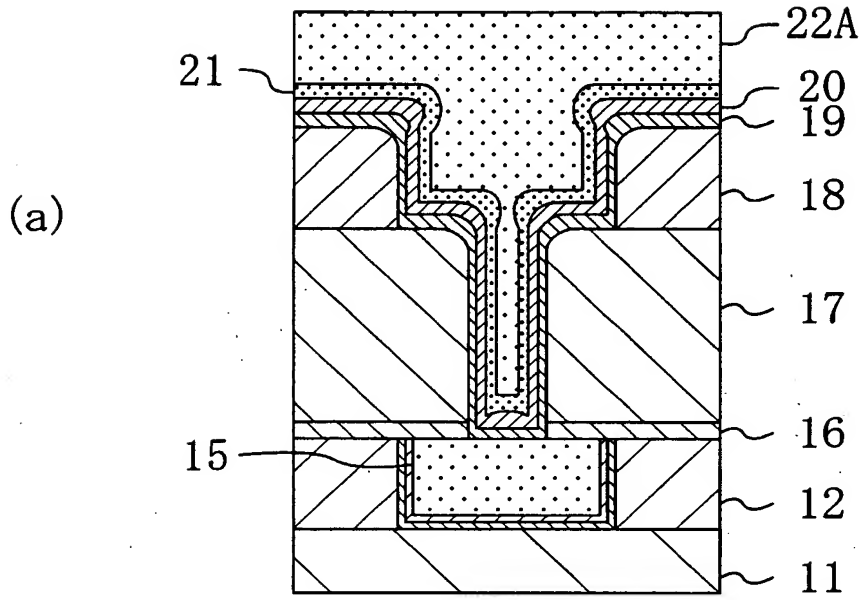
【図4】



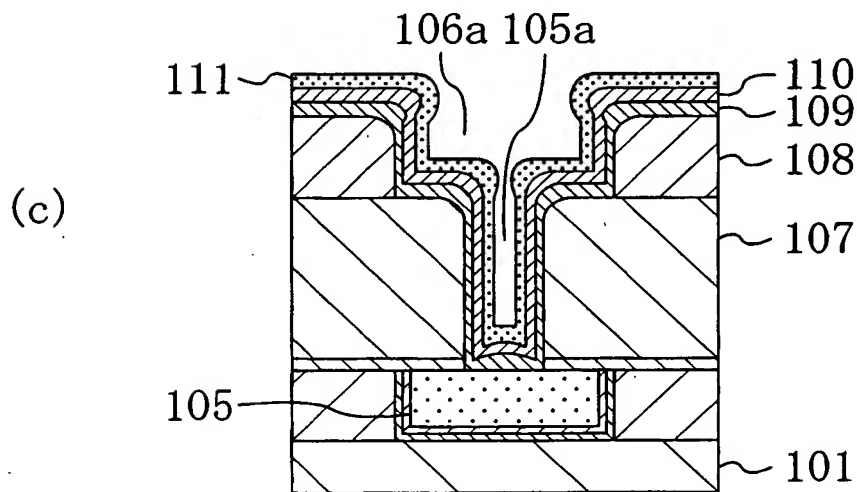
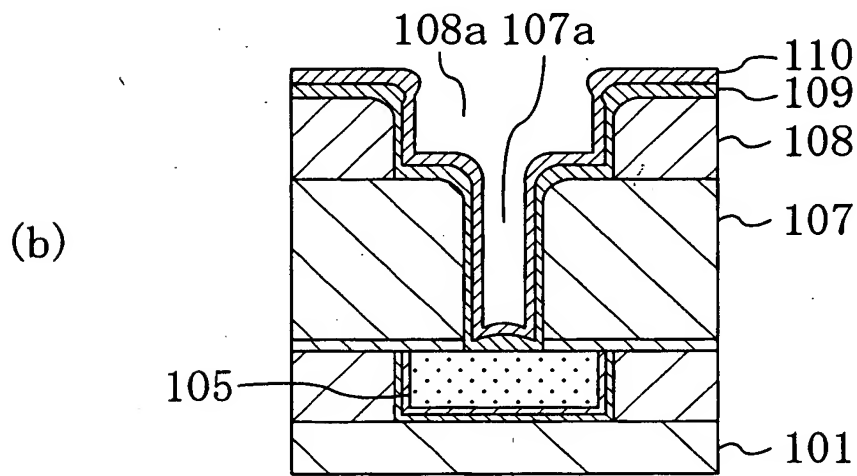
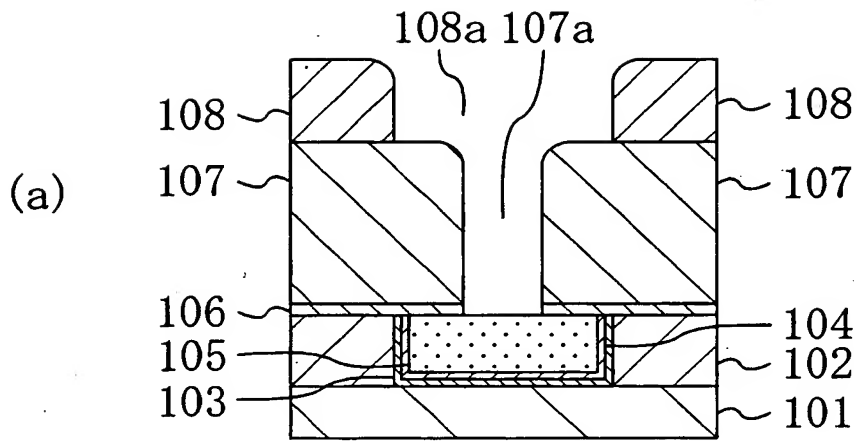
【図5】



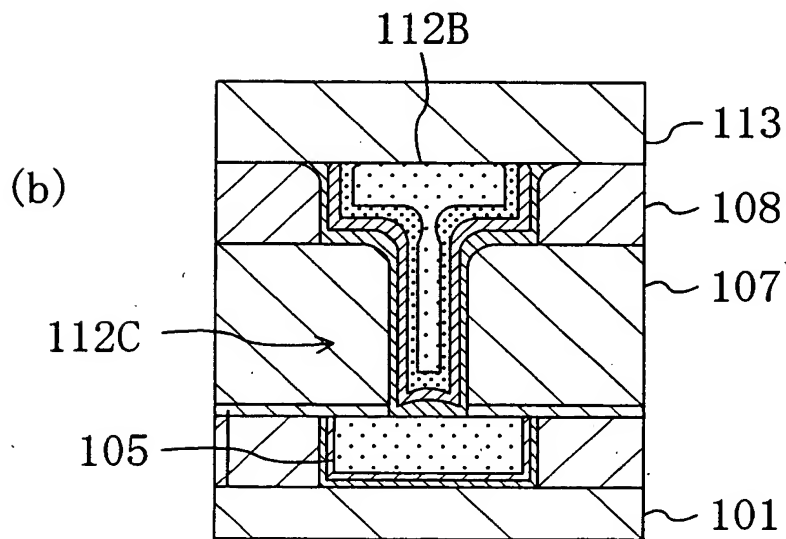
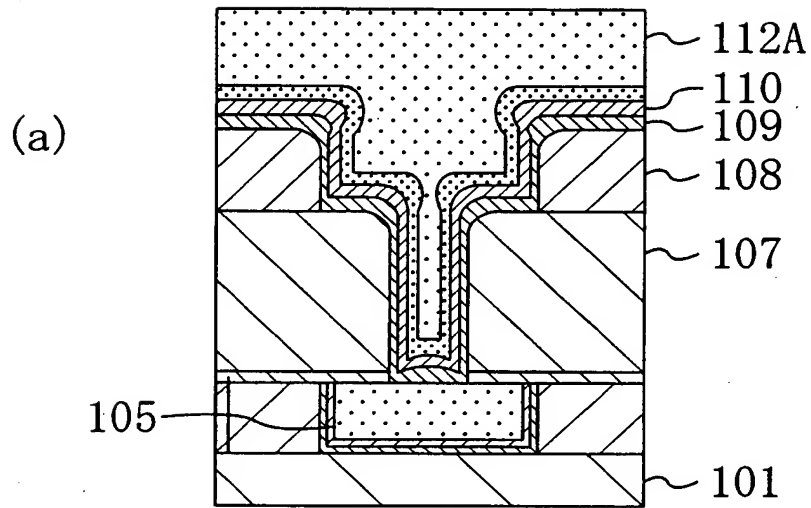
【図6】



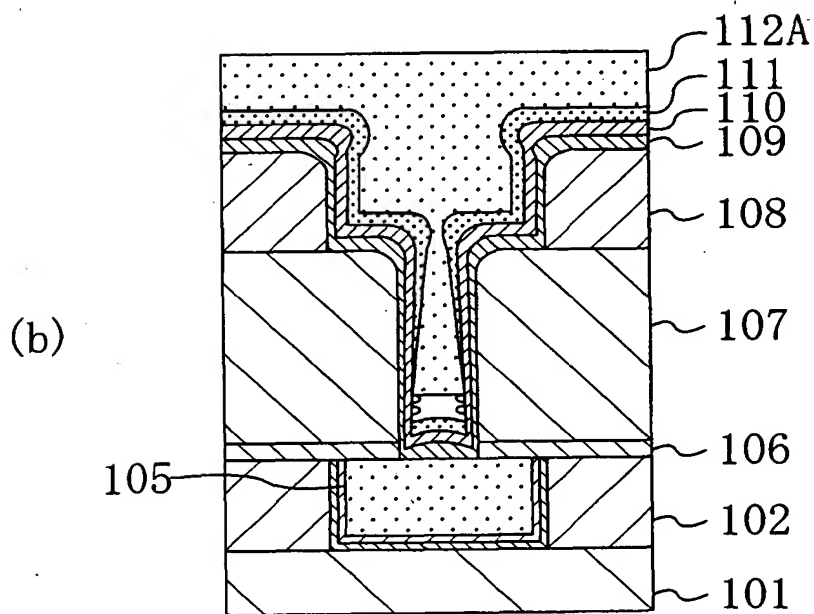
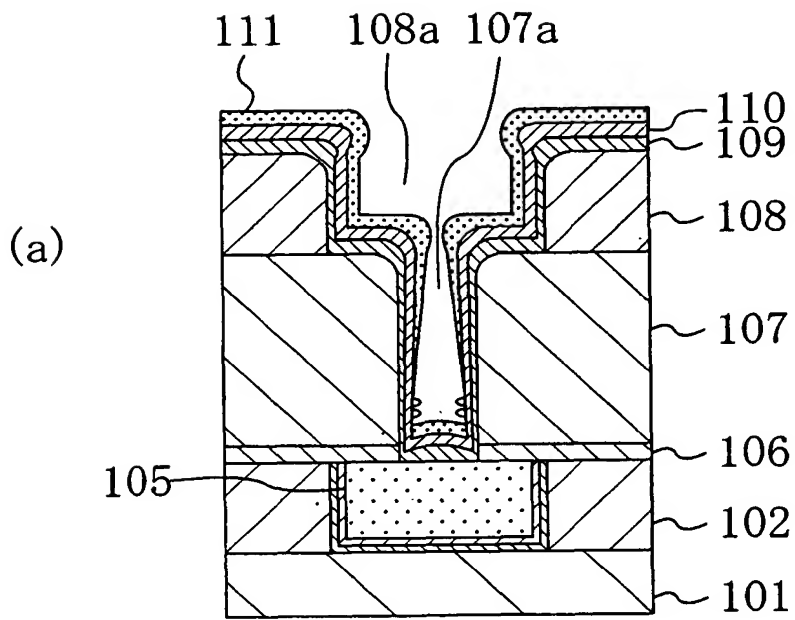
【図 7】



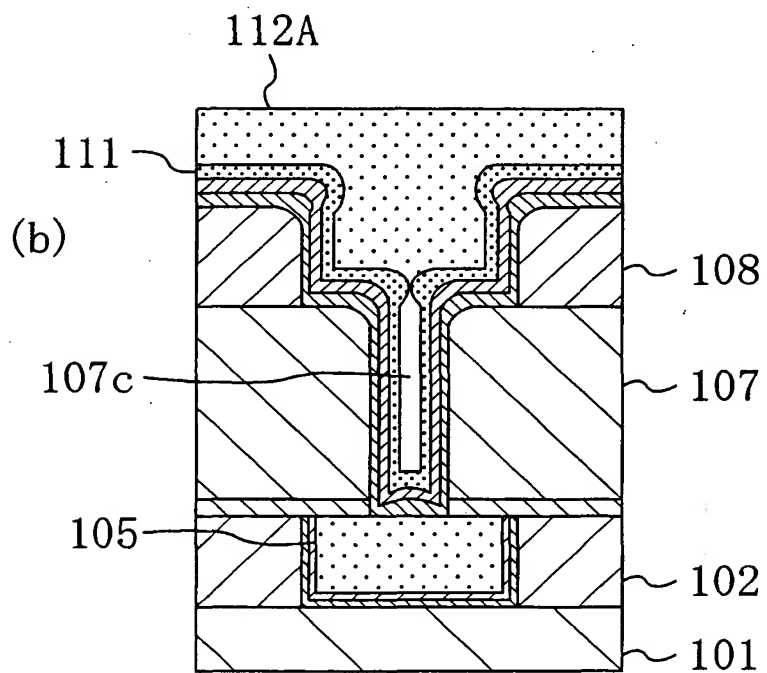
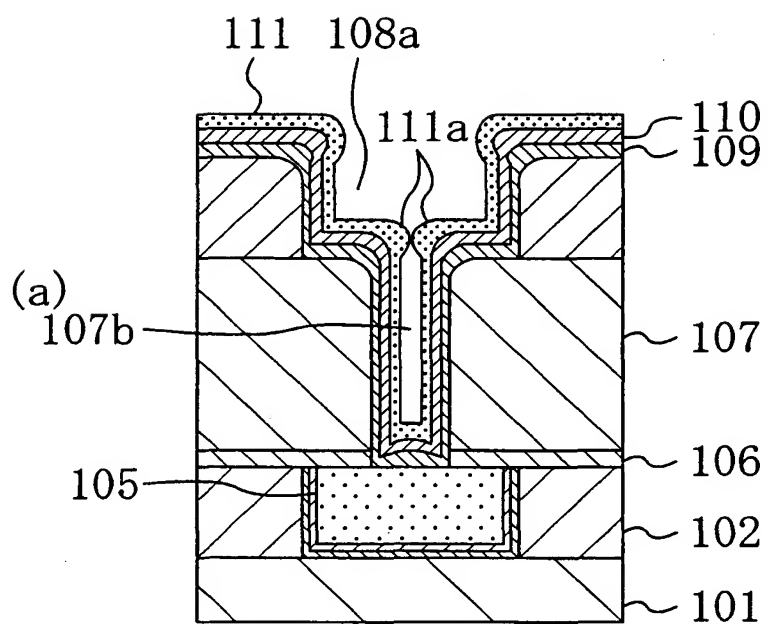
【図 8】



【図9】



【図 10】



【書類名】 要約書

【要約】

【課題】 微細化された配線形成溝及びビアホールに対して、ボイドやシームが発生しない、埋め込み特性に優れた金属配線を実現できるようにする。

【解決手段】 スパッタ法により、ビアホール 1 7 a 及び上部配線形成溝 1 8 a の壁面及び底面上を含む第 4 の絶縁膜 1 7 の上に、厚さが約 2 5 n m の窒化タンタルからなる下部バリア層 1 9 を堆積する。スパッタリング条件は、ターゲットに約 1 0 k W の D C ソースパワーを印加して行なう。その後、D C ソースパワーを約 2 k W とし、半導体基板に約 2 0 0 W の R F パワーを印加して、下部バリア層 1 9 に対して、アルゴンガスによるエッチング量が 5 n m 程度のスパッタエッチを行なうことにより、ビアホール 1 7 a の底面上に堆積した下部バリア層 1 9 の少なくとも一部をビアホール 1 7 a の壁面の下部に堆積させる。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社